

れる。このようにして読み取られたり、伝送されたビットストリーム (MP3) によりビデオ信号に再生される。

[0 0 0 1] つ次に、従来の技術に従う MPEG ビデオコードを説明する。图 2 は従来の技術に従う MPEG ビデオデータの構成プロック構図である。图 2 に示されたように前段の技術に従う MPEG ビデオデータは、前処理段階を経てするために構文解釈器 (System parser) 210 と可変長デコーダ (Variable length decoder) 212、其次是可変長デコーダ (Run length decoder) 214 及びパラメータデータ (Parameter decoder) 216 と; 前処理段階と逆に子化段階とを媒介するプロックバッファ 220 と; 逆子化段階を実行するための逆子化器 (inverse interleaver) 230 と逆スキャナ (inverse scanner) 232 と; 逆子化段階と並んで逆变换段階とを媒介するプロックバッファ 240 と; 逆変換段階を遂行するための逆離散余弦変換器 (Inverse discrete cosine transformer) 250 と; 逆逆換段階と並んで逆変換を媒介するマスクプロックバッファ 260 と; 逆逆換段階と並んで逆逆換を媒介するための逆離散子化器 (逆逆離散子化器) 270 と; 逆離散子化段階と並んで逆離散子化段階を媒介するノリティ補償器 (Noise compensation block) 280 である。

開が発生する。

[0.019]これを削除するために各段階の前段と後段にバッファを一時に貯蔵して、この入り口がに対する処理を実行せらる。このように構成する場合、並列計算の段階で計算結果はバッファを通じては消されない。各段階内のブロックは時間バッファインを形成し、これに従って一つの段階が動作を始めると、人力から出力までの時間は通常は常に1になる。

[0.020]图11に示されるように逆変換段階データコーンの全体のバブラインの段階は3段階となる。第1段階は、前処理段階(parsing stage)で、この段階はシンボル解析(Symbol parser)とブロック単位で動作する。構成変換器110、可変解像度データ112、逆変換装置16・逆スキナナ及びデータ118及びパラメータデータ104は前処理段階を遂行するために用いられる。

[0.021]第2段階は、逆変換段階(inverse transform stage)で、解像率(pixel rate)とブロック単位で動作する。逆変換装置変換器110は逆変換段階を遂行する。

し、更に複数化がそれ以前に実行されると、バイオラインの段階が見えるようになる。

[0.028]前述解説段階の順序において、 θ 変換(0.0)化、逆並行化、逆スキナニング及び逆変換段階は全てシングル段階で実現され、可変解像度以外は特に關係なく効率的作業ができる。

[0.029]逆変換装置変換器130はブロックバッファ120の準備作業を終了した後、ブロックバッファ120を入力で処理する。逆変換装置変換器130は逆変換装置110のデータフォーマット(data format)は並列段階で生成されるパラメータ、ブロック数(block number)及びブロックの内擱されない順序が変換係数(discrete cosine transformation coefficients)である。逆変換装置変換器の計算はマクロブロックバッファ140の準備作業が実行すると、並列段階に伝達する。このマクロブロックバッファ140は所定数のブロックを全部処理すると、並列段階に伝達する。このマクロブロック以上のパラメータを削除して逆変換装置にマクロブロック以上のパラメータを削除して逆変換装置に

(0.0.2.2) 第3段階は、補償段階(compensation stage)で、垂直率(pixel rate)とマクロブロックとで動作する。動き検出器[50]とメモリ[52]とは補償段階を遂げるために用いられる。

(0.0.2.3) 各段階の詳細な動作を図1の説明を参照して理解する。速度が印加されても階層の動作が始まる。コンパクトディスクなどの記録媒体や通过チャネルを通過して伝送されるビットストリームが構成解処器[110]に入力される。

(0.0.2.4) 構成解処器[110]ではビットストリームからパラメータとデータとが分離され、分離されたパラメータ中の1つは内包化されたパラメータとデータとは可変長データ[112]により可変長量化が遂行される。

(0.0.3.1) 動き検出器[50]はマクロブロックバッファ[140]の階層動作を確認した後、パッファ[140]のデータを処理する。マクロブロックバッファ[140]から性能面では処理しない場合ににおいて前のマクロブロックの動き検出が全て終わって既往フレーム(reference frame)が必要な場合、パッファ[140]が内部記憶に該当が確認されるとメモリ[52]から既往フレームを読み取る。

(0.0.3.2) 動き検出器[50]は前記既往フレームと以前のマクロブロックにより隔離されるフレームとを合わせ、フレームが全部組合わされるとマクロブロックバッファ[140]から性能面が判別可能が到達しても階層動作を遂行しない。

[001-2] 「定期的解消しようとする観選」本発明の[1]例は、復元動作の解消を実現して逆翻訳会社変換動作が進行される直前に実行復元動作が進行されるようにして、バイブルラインの工作数を3段階に少くして翻訳が容易になるようにし、より少ない数のバッファを用いて構成することとの出本するNIFC用ビデオデコーダを提供することある。

[001-3] 「観選を解消するための手段」特に、本発明は従来の技術に従うデータコーディングの前処理段階と逆翻訳化段階とに於いて逆翻訳化、逆スキヤンシング、実行復元動作が順序に間隔なくして進行できるようになに構成された。また、本技術により、大規模な逆翻訳化段階が並列化され、50%以上に開かれた「逆翻訳化部のメモリアドレッシングを用いた逆スキヤン及び実行復元装置」を使用してい

[001-4] おり、アソロジカルノット[1]により、アソロジカルノット[1]によりアソセス(tacess)ができるようになって、動き補助器150[1]から構成される。

[001-5] [001-7] 簡解説装置110[1]にはビットストリームが加され、動き補助器150[1]からはビデオ信号が取りされる。本発明の実施の形態に従うNIFC用ビデオデコーダーはプロック同期化用block Synchronization用が途上に於いて、各段階の同期が行われる場合には全体的に停止する。

[001-8] この方式によると、プロック間のインターフェース(interface)は基本的に非同期並行パイプライン synchronous pipeline)により運行される。即ち、各段階において、現行の動作の出力が、また、現行の操作端端(terminal)される場合に於ては処理が一時停止する。また、現行の操作端の動作が完了しない場合には処理が一時停止する。従って、各段階は前段に処理(ready)信号を出され、次段に一時停止信号を出する。このような処理において、各段階の同期が行われる場合には全体的に停止する。

ビデオ信号として外部に提供され、補助動作の開始は垂直同期信号(VSYNC, Vertical SYNCNchronous)により開始される。

[0 0 3 4]

[例題の解説] 以上のように復元動作の順序を変更して逆行復元動作と逆行シャンニング動作を結合して遂行するので、全体的なバイブライン(vibeline)の段階数を減らすことができる。VIBEはビデオデコーダが提供できる信号的なバイブルайн(vibeline)の段階数を減らすので、課題を簡単にし、バッファの数も減らすことができる。

[例題の解説(2)解説]

[図1] 本解説の実施の形態に従うVIBE(ビデオデータの構成ブロック図)。

[図2] 他の技術に従うVIBE(ビデオデコーダの構成ブロック図)。

タとが切りされ、両解説器110で分離されたデータはバスマータデータコーダ114に入力されて復元された後、ブロックバッファ120に出力される。ここで、バスマータは外部システムに必要なシステムバスマータと、各行データの状態をセッティングするためのバスマータと、復元過程に関するバスマータで構成される。

[0 0 2 6] 可変ビデオデータ112から川されるデータは逆量化器116と逆キヤナ及び実行段データ118により処理後に出力され、復元されたデータはブロックバッファ120に川される。この時、各ブロックの処理の終りにブロックバッファ120の状態付けを行って、暫停する可否を決定する。マクロブロック以降の情報は各レベルの回路信号にリフレッシュされる。マクロブロック120をはじめて次の段階に伝送される。

[0 0 2 7] このように遂行される前処理段にいたるブロックバッファ120は以後の段階に伝送される。

で、実行段処理は以降に実行されるべきである。も

